

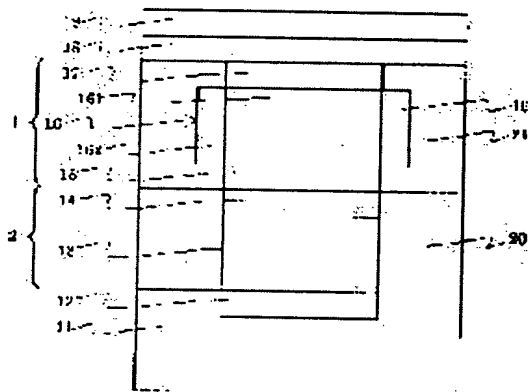
(11)Publication number : 2003-100084
(43)Date of publication of application : 04.04.2003

G11C 13/00
H01L 27/10

(71)Applicant : TOSHIBA CORP

(72)Inventor : ICHIHARA KATSUTARO

SOLUTION: This device is provided with a storage cell (16) having phase change materials in which phase variation can be performed between an amorphous state and a crystal state, either of a first storage state and a second storage state can be stored selectively by phase-changeable one part (161) of the phase change materials of the storage cell between an amorphous state and a crystal state, in a residual part (162) of the phase change materials existing in the storage cell, write-in in an over-write mode can be performed by keeping a crystal state even in the first storage state and the second storage state and adjusting a resistance value of a storage cell appropriately.



[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-100084

(P2003-100084A)

(43)公開日 平成15年4月4日(2003.4.4)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 1 1 C 13/00

G 1 1 C 13/00

A 5 F 0 8 3

H 0 1 L 27/10

4 5 1

H 0 1 L 27/10

4 5 1

審査請求 未請求 請求項の数 6 O L (全 16 頁)

(21)出願番号 特願2001-296101(P2001-296101)

(22)出願日 平成13年9月27日(2001.9.27)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 市原 勝太郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74)代理人 100088487

弁理士 松山 允之 (外1名)

Fターム(参考) 5F083 FZ10 GA01 GA09 JA31 JA33

JA37 JA39 JA55 JA60 PR40

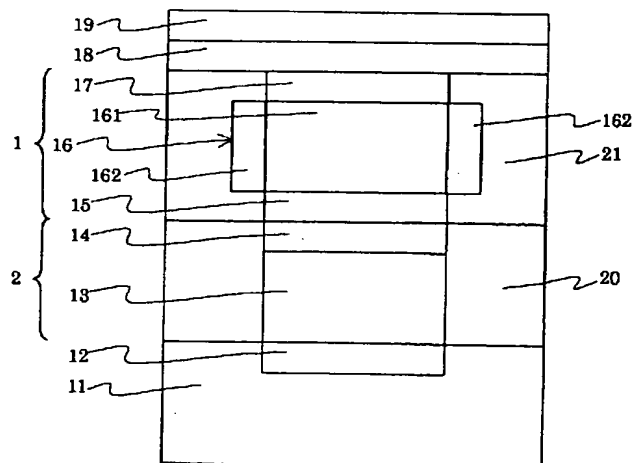
ZA21

(54)【発明の名称】 相変化型不揮発性記憶装置

(57)【要約】

【課題】 相変化材料を記憶セルとして用いる相変化型不揮発性記憶装置 (Ovonic-memory) の原理的問題点を解決し、記憶装置として確実且つ容易に動作する相変化型不揮発性記憶装置を提供することを目的とする。

【解決手段】 非晶質状態と結晶状態との間で相変化可能な相変化材料を有する記憶セル (16) を備え、前記記憶セルの前記相変化材料の一部分 (161) を非晶質状態と結晶状態との間で相変化させることにより第1の記憶状態と第2の記憶状態のいずれかを選択的に記憶可能とし、前記記憶セルが有する前記相変化材料の残りの部分 (162) は、前記第1の記憶状態においても前記第2の記憶状態においても結晶状態を維持することにより、記憶セルの抵抗値を好適に調節してオーバーライト・モードでの書き込みを可能にできる。



【特許請求の範囲】

【請求項1】第1の比抵抗を有する第1の相状態と、前記第1の比抵抗とは異なる第2の比抵抗を有する第2の相状態と、の間で相変化可能な相変化材料を有する記憶セルを備え、

前記記憶セルの前記相変化材料の一部分を前記第1の相状態と前記第2の相状態との間で相変化させることにより、前記第1の相状態に対応づけた第1の記録状態または前記第2の相状態に対応づけた第2の記憶状態として記憶可能とし、

前記記憶セルが有する前記相変化材料の残りの部分は、前記第1の記憶状態においても前記第2の記憶状態においても前記第1の相状態にあることを特徴とする相変化型不揮発性記憶装置。

【請求項2】前記第1の相状態は、結晶状態であり、前記第2の相状態は、非晶質状態であることを特徴とする請求項1記載の相変化型不揮発性記憶装置。

【請求項3】前記記憶セルは、前記相変化材料からなる層を挟むように設けられた一对の電極を有し、前記一对の電極のうちの少なくともいずれかの電極の面積よりも前記相変化材料からなる層の面積のほうが大きいことを特徴とする請求項2記載の相変化型不揮発性記憶装置。

【請求項4】前記相変化材料は、結晶成長型材料であることを特徴とする請求項1～3のいずれか1つに記載の相変化型不揮発性記憶装置。

【請求項5】前記記憶セルの前記相変化材料の前記一部分に対する前記残りの部分の体積の割合は、0.1以上で1.5以下であることを特徴とする請求項1～4のいずれか1つに記載の相変化型不揮発性記憶装置。

【請求項6】前記記憶セルの前記相変化材料の前記一部分を前記第1の相状態と前記第2の相状態とが混在した中間の相状態とすることにより、前記第1の記憶状態とも前記第2の記憶状態とも異なる第3の記憶状態として記憶可能としたことを特徴とする請求項1～5のいずれか1つに記載の相変化型不揮発性記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、相変化型不揮発性記憶装置に関し、特に記憶セルに収容した相変化材料の抵抗の変化によって情報を記憶し再生する相変化型不揮発性記憶装置に関する。

【0002】

【従来の技術】記憶装置（メモリ）は、計算機システムに限らず、電気、ガス、水道、交通、通信等の社会インフラの制御系や家電製品の制御系など、至る所で使われており、記憶装置無しでは、現代社会は成立しない。理想的な記憶装置の姿は、大容量、高速、低ビットコスト、不揮発性、低消費電力、高信頼性の全てを併せ持つことであるが、このような素子が存在しないため、シス

テムとして最適化するメモリ階層が組まれているのが現状である。

【0003】例えばパソコンのメモリ階層を例にとると、上位のメモリから順番に、MPU（MicroProcessing Unit）と直接対話する超高速だがビット単価が非常に高いSRAM（Static Random Access Memory）、SRAMほど高速ではないが、固体メモリとしては比較的大容量でありビット単価がSRAMよりは安いDRAM（Dynamic Random Access Memory）、DRAMより数倍もアクセス速度は低い機械的アクセスとしては高速で大容量でビット単価が安く但し媒体可換性の無いHDD（Hard Disk Drive）、HDDよりは低速だがビット単価が極めて安く媒体可換性や信頼性に優れる光ディスク、フロッピーディスク（登録商標）、磁気テープ、というような階層が組まれている。

【0004】このようなメモリ階層を構築することにより、システムとしての性能と価格の最適化が図られているが、理想的な記憶装置、例えばDRAMの速度とHDDの容量と不揮発性とを併せ持つ全能的なメモリ（ユニバーサルメモリ）が出現すれば、システム設計が大幅に簡略化され、飛躍的に高性能で低価格なシステムの構築が可能となる。

【0005】また一方で、全能的なメモリという立場でなく、個別の記憶装置に焦点を当てた場合でも、「産業の米」と言われ電子産業を牽引してきたDRAMの大容量化が限界に近づいている、という具体的な課題もある。例えば、日経エレクトロニクス2001-2-12号に、DRAMの限界とそれに置き換わる記憶装置の候補が説明されている。

【0006】DRAMの限界は、大容量化即ち記憶セルの微細化に伴う、容量占有面積の相対的な増大であり、もはやトレンチ構造やスタック構造で所定の容量（30fF）を得ることが困難になってきている。DRAMに置き換わり得る記憶装置の候補は、FeRAM（Ferroelectric RAM：強誘電体ランダムアクセスメモリ）、MRAM（Magnetoresistive RAM：磁気抵抗ランダムアクセスメモリ）、PRAM（Phase-change RAM：相変化型ランダムアクセスメモリ）の三種類である。

【0007】FeRAMは、強誘電体の残留分極を利用して記憶保持するもので、信号量は蓄積電荷量に比例する。蓄積電荷量は記憶セル面積に比例するのでDRAM同様、記憶セルの微細化に伴い強誘電体記憶部の構造は三次元的に複雑化する宿命にある。

【0008】MRAMは、磁気抵抗効果を利用するもので、比較的大きな抵抗変化を示すTMR（Tunneling Magnetoresistance effect）素子や、CPPGMR（Current Perpendicular to Plane Giant Magnetoresistance effect）素子が主に検討されている。MRAMの課題は、素子の微細化に伴い磁化反転時の反磁界が増加し、記録電流が増大する点にある。また、抵抗変化率が比較

的大きいと言っても高々50%程度である。

【0009】PRAMは、本発明に関わる素子であり、相変化材料の比抵抗の変化を利用して情報を記録する素子である。その原理的な提案は、1966年の米国特許第3,271,591号の開示、及び1970年の米国特許第3,530,441号の開示に遡り、提案者のOvshinsky氏の名前を取り「オボニック・メモリ(Ovonic-memory)」とも呼ばれることがある。

【0010】その動作原理を簡単に説明すると、以下の如くである。

【0011】相変化材料を収容した記憶セルに非晶質化レベルの記録電流を通電して相変化材料を熔融してから急冷し、室温に非晶質状態を持ち来たすことにより、非晶質状態が得られる。一方、このような相変化材料に結晶化レベルの記録電流を通電することによってアニールすると、相変化材料は結晶化して結晶状態が得られる。このようにして、非晶質状態と結晶状態とを各セルに書き込むことができる。

【0012】一方、再生は、非晶質化レベル未満で結晶化レベル未満の電流をセルに通電し、非晶質状態と結晶状態の抵抗の違いを電圧変化もしくは電流変化として読み取って行う。ある種の相変化材料においては、非晶質状態の比抵抗と結晶状態の比抵抗が2~3桁程度も違うため、再生信号品質は極めて高く、例えば米国特許第5,296,716号公報に開示されているように多値記録に技術展開することも可能である。

【0013】PRAMのセルの構造は基本的に電極と相変化材料からなり、これにセル選択用のダイオードもしくはトランジスタを直列接続してマトリクスアレイを構成する。DRAMやFeRAMのようにセルの微細化によって記憶保持部が相対的に肥大化するという問題は無く、また、MRAMのように微細化によって記録しにくくなる、といった問題も無い。PRAMの相変化記憶部は、セルの微細化と共にスケールリング則通りに縮小し、記録電流は微細化により低下する。

【0014】このように、PRAMはDRAMの置換えとしての優れてポテンシャルを有する。また、前記したように多値記録が可能のため、前述した「ユニバーサルメモリ」の有力な候補としても位置付けられる。上述のようにPRAMの抵抗変化は100~1000倍にも達するので、例えば、上述したMRAMで得られる50%の抵抗変化を二つの信号レベルに割振ると、一つの相変化記憶セルで200~2000値の情報を記憶することが可能、ということになる。従って、二値動作で1Gbのマトリクスでは、実質的に200Gb~2Tbの情報の記憶が可能となる。このように、PRAMは、まさしくDRAMの高速性とHDDの大容量性とを併せ持つユニバーサルメモリの有力候補ということができる。

【0015】PRAMに関しては、前記した文献以外に、米国特許第5,341,328号、米国特許第5,

359,205号、米国特許第5,406,509号、米国特許第5,414,271号、米国特許第5,534,711号、米国特許第5,534,712号、米国特許第5,596,522号、米国特許第5,687,112号、米国特許第6,087,674号公報などにおいて、改良技術が開示されている。

【0016】

【発明が解決しようとする課題】しかし、本発明者は、相変化材料を用いた記憶装置の動作について独自の検討を行った結果、原理的な問題を見出した。そして、この知見に基づき、記憶セルを試作して動作を試みた結果、本発明の発明者等の見出した問題が本質的であることを確認し、さらにこの原理的問題を解決する新規な手法を開発して、本発明に至った。

【0017】すなわち、本発明は、かかる課題の認識に基づいてなされたものであり、その目的は、相変化材料を記憶セルとして用いる相変化型不揮発性記憶装置(Ovonic-memory)の原理的問題点を解決し、記憶装置として確実且つ容易に動作する相変化型不揮発性記憶装置を提供することにある。

【課題を解決するための手段】上記目的を達成するため、本発明の相変化型不揮発性記憶装置は、第1の比抵抗を有する第1の相状態と、前記第1の比抵抗とは異なる第2の比抵抗を有する第2の相状態と、の間で相変化可能な相変化材料を有する記憶セルを備え、前記記憶セルの前記相変化材料の一部分を前記第1の相状態と前記第2の相状態との間で相変化させることにより、前記第1の相状態に対応づけた第1の記録状態または前記第2の相状態に対応づけた第2の記憶状態として記憶可能とし、前記記憶セルが有する前記相変化材料の残りの部分は、前記第1の記憶状態においても前記第2の記憶状態においても前記第1の相状態にあることを特徴とする。

【0018】上記構成によれば、相変化材料の中に、常に相変化しない「残りの部分」を設けることによって記憶セルの抵抗値を好適に調節し、同一の書き込み電圧パルスあるいは電流パルスでオーバーライト・モードの書き込みが可能となる。

【0019】ここで、前記第1の相状態は、結晶状態であり、前記第2の相状態は、非晶質状態であるものとする。ことにより、記憶セル中に、常に結晶状態を維持する「永久結晶領域」を設けることができる。

【0020】また、前記記憶セルは、前記相変化材料からなる層を挟むように設けられた一対の電極を有し、前記一対の電極のうちの少なくともいずれかの電極の面積よりも前記相変化材料からなる層の面積のほうが大きいものとすれば、永久結晶領域を確実且つ容易に確保することができる。

【0021】また、前記相変化材料として、結晶成長型材料を用いれば、永久結晶領域からの結晶成長による相変化を生じさせることができる。

【0022】また、前記記憶セルの前記相変化材料の前記一部分に対する前記残りの部分の体積の割合は、0.1以上で1.5以下であるものとすれば、記憶セルの抵抗値を好適な範囲に調節することができる。

【0023】また、前記記憶セルの前記相変化材料の前記一部分を前記第1の相状態と前記第2の相状態とが混在した中間の相状態とすることにより、前記第1の記憶状態とも前記第2の記憶状態とも異なる第3の記憶状態として記憶可能とすれば、いわゆる多値記憶を実現できる。

【0024】

【発明の実施の形態】以下、具体例を参照しつつ本発明の実施の形態について詳細に説明する。

【0025】図1は、本発明の相変化型不揮発性記憶装置(PRAM)の要部構成を例示する模式図である。すなわち、複数のYアドレス線12とXアドレス線18とが縦横マトリクス状に配線され、これらのそれぞれにメモリセルCがアレイ状に接続されている。メモリセルCのそれぞれは、例えば図示したように、相変化記憶セル1とセル選択ダイオード2とが直列に接続された構造とすることができる。

【0026】そして、Yアドレス線12とXアドレス線18とにそれぞれ接続されたドライバ回路23A、23Bにより、メモリセルCのいずれかが選択され、その選択ダイオード2を動作させて、記憶セル1に情報を書き込み、あるいは書き込まれている情報を読み出す。なお、ドライバ回路23A、23Bは、記憶装置の内部に設けられていてもよく、または外部に別体として設けられていてもよい。

【0027】ここで、それぞれのメモリセルCにおける記憶セル1とダイオード2との接続関係は逆でもよい。また、記憶セル1の選択は、対応する選択ダイオード2の順方向特性を利用しても逆方向特性を利用してもよい。例えば、選択したいメモリセルCのみに対して、そのダイオード2の順方向バイアスを印加し、他のメモリセルCには逆方向バイアスを印加するようにドライバ回路23A、23Bを動作させれば、選択した記憶セル1のみに順方向電流を流すことができる。

【0028】図2は、本発明のPRAMのメモリセルCの断面構造を例示する模式図である。すなわち、本発明のPRAMは、基板11の上にYアドレス線12、選択ダイオード2、相変化記憶セル1、Xアドレス線18、保護層19が順に積層された構造を有する。ただし、本発明における各要素の積層関係は、図示したものには限定されず、異なる順序に積層したものや、その他の要素を適宜追加したものも本発明の範囲に包含される。

【0029】さて、セル選択ダイオード2の構造を説明すると、Yアドレス線12の上にn型半導体層13とp型半導体層14とが積層された構造を有する。その周囲

は、第1の絶縁チャネル20により電氣的に分離されている。

【0030】次に、その上に積層された相変化記憶セル1の構造を説明すると、第1電極15、相変化記憶層16、第2電極17が順次積層された構造を有する。その周囲は、第2の絶縁チャネル21によって電氣的に分離されている。

【0031】相変化記憶層16は、上下の電極15、17の間に挟まれた相変化領域161とその周囲に延出した永久結晶領域162とを有する。すなわち、相変化領域161は第1電極15と第2電極17とに面接触しており、記録電流の通電により非晶質状態、結晶状態及び中間状態の間を遷移し、それに対応して電気抵抗が変化する。

【0032】これに対して、永久結晶領域162は、基本的には記録電流の通電によってもその状態を結晶状態に保持するが、第1電極15、第2電極17とは間接的に線接触しており、適度な「記録電流路」として作用する。適度な記録電流路としての作用とは、例えば相変化領域161が高抵抗の非晶質状態にある時、相変化領域161と永久結晶領域162との境界付近の永久結晶領域162に定電圧駆動により電流を通電し、相変化領域161と永久結晶領域162との境界付近の相変化領域161の非晶質部を選択的に加熱して、この加熱部に結晶核を生成したり、結晶化を促進させたり、隣接する永久結晶領域162を結晶種(シード)として横方向に結晶成長を促したりすることを意味する。

【0033】永久結晶領域162は、図2に例示したように、第1電極15と第2電極17とを結ぶ主要電流経路から外側に外れるように設けるのが好ましいが、これら上下電極を結ぶ経路内に多少食い込むように設けられてもよい。

【0034】なお、この場合の「主要電流経路」は、電極15と相変化記憶層16との接触面を第1の接触面とし、電極17と相変化記憶層16との接触面を第2の接触面とした時に、第1の接触面と第2の接触面の外周同士を直線で結んで形成される最大の領域に対応する。

【0035】また、図2に例示したように上下の電極15、17の面積に比べて相変化記憶層16の断面積が大きい場合には、相変化領域161と永久結晶領域162とを同一の相変化材料で形成できるので製造が容易となる。これに対して、永久結晶領域162を相変化領域161よりも非晶質化しにくい材料により形成すれば、上下電極を結ぶ経路上に永久結晶領域162を食い込ませて設けてよいのはもちろん、電極15、17の面積と相変化記憶層16の断面積を一致させてもよく、あるいは電極面積よりも記憶層16の面積を小さくすることもできる。ここで、非晶質化しにくい材料としては、相変化領域161よりも融点が高いか、結晶化時間が短く再結晶化しやすい材料を挙げることができる。

【0036】相変化記憶層16の材料としては、Ge-Sb-Te、In-Sb-Te、Ag-In-Sb-Te、Ge-Sn-Teなどのカルコゲン化合物を挙げることができる。これらの材料は、高速スイッチング性、繰返し記録安定性、高信頼性を確保する上で望ましい。

【0037】一方、セル選択ダイオード2としては、通常の半導体、代表的にはn型シリコン(Si)とp型シリコンとの接合を用いることができる。セルの選択は、ダイオードの代わりに、トランジスタ、例えばMOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)を用い、ゲート電圧の印加によりソース・ドレイン間にn型もしくはp型のチャンネル(電流路)を形成して行っても良い。

【0038】基板11としては、単結晶シリコンを用いることができる。この上に、通常の半導体プロセスによってダイオード2やトランジスタなどを形成することができる。

【0039】Yアドレス線12としては、n+型もしくはp+型の高濃度ドーパの半導体や、アルミニウム(Al)、銅(Cu)などの金属を用いることができる。単層でも多層構造でもよい。

【0040】相変化記憶セル1の電極15、17も、単層でも多層構造でも良く、例えば相変化記憶層16の上下に炭素(C)、非晶質シリコン(a-Si)などの拡散バリア層を設け、その上下にタンタル(Ta)、モリブデン(Mo)、タングステン(W)などの高融点金属からなる層を配置すると、繰返し記録、保存寿命等の信頼性を確保する上で好ましい。

【0041】Xアドレス線18としては、アルミニウム(Al)、銅(Cu)などの高伝導金属を用いるのが良い。第1の絶縁チャンネル20は、ドーパ量の少ない絶縁性半導体により形成するのがプロセス上は好ましいが、酸化シリコン(SiO₂)、窒化シリコン(Si₃N₄)などを用いて形成することもできる。第2の絶縁チャンネル21の材料としては、各種の絶縁体、例えば酸化シリコン(SiO₂)、窒化シリコン(Si

₃N₄)、酸化アルミニウム(Al₂O₃)、窒化アルミニウム(AlN)、酸化タンタル(Ta₂O₅)、酸化チタン(TiO₂)、酸化ジルコニウム(ZrO₂)、窒化ボロン(BN)、炭素水素(C-H)系もしくは炭素フッ素(C-F)系のプラズマ重合体、スパインコート・ポリイミドなどを用いることができる。

【0042】保護層19の材料は、第2の絶縁チャンネル21と同様の材料から選択することが可能である。

【0043】以上、本発明のPRAMの要部構成について説明した。

【0044】次に、このPRAMの動作作用について説明する。

【0045】まず、永久結晶領域162を設けない従来のPRAMの動作に関して本発明者が見いだした本質的な問題点について説明する。

【0046】これは、一言で言うと、これまでに開示されているPRAM技術においては書き込みすなわち記録を「オーバライトモード」で行うことが困難であった、ということである。つまり、記録前のセルが非晶質状態であっても結晶状態であっても、一意的に決められた所定の非晶質化電流を通電すればセルは非晶質化し、一意的に決められた所定の結晶化電流を通電すればセルは結晶化する、という公式が成り立たないということである。

【0047】ここで、セルが非晶質状態に有る時のセルの抵抗をR_a、セルが結晶状態に有る時のセルの抵抗をR_cとする。記録は定電圧を印加して行っても定電流を流して行っても良いが、まず、定電圧駆動する場合について説明する。表1は、記録前の状態から記録後の状態への遷移、非晶質化電圧V_a、結晶化電圧V_c、セルに流れる電流I_c、セルで消費される電力P_cの関係を纏めた表である。ここで、aは非晶質状態を表し、cは結晶状態を表す。例えば表1において、c→aは、結晶状態から非晶質状態への遷移を意味する。

【0048】

【表1】

遷移	I _c	P _c
a→a	V _a /R _a	V _a ² /R _a
c→a	V _a /R _c	V _a ² /R _c
a→c	V _c /R _a	V _c ² /R _a
c→c	V _c /R _c	V _c ² /R _c

表1. セルの遷移と通電電流I_c、消費電力P_cの関係(定電圧動作時)

セルへの記録は、電流通電によるセルの加熱により行われる。そして、セルの温度Tはセル以外の部分への熱伝導損失を無視するとP_cに比例する。表1において、I_c、P_cは記録過程初期の値を表すが、実際には、後述するように相変化に伴ってI_c、P_cは記録過程の途中

で変化する。

【0049】さてここで、前述したように、R_a=(100~1000)×R_cという関係がある。本発明者が見出した従来のPRAMの原理的な問題は、このR_a、R_cの抵抗の差と表1のP_cに関連しており、R_aとR

cの差が大きいほど深刻となる。以下、一例として問題が最も軽減化される $R_a = 100 R_c$ の場合について説明する。

【0050】相変化記憶層に用いられるカルコゲン系の化合物の融点 T_m と結晶化温度 T_x は、材料や組成に依存し、例えば $Ge_2Sb_2Te_5$ の場合、 $T_m = 600^\circ C$ 、 $T_x = 160^\circ C$ である。

【0051】図3及び図4は、定電圧モードすなわち印加電圧を一定とした場合のセルの温度 T ($\propto P_c$) と通電時間 t との関係を模式的に表すグラフ図である。それぞれのグラフは、表1に表したそれぞれの遷移に対応するセルの温度変化を表す。また、ここで、温度上昇の過程では、相変化記憶層から周囲への熱伝導損失は簡略化のために無視した。

【0052】前述したように、PRAMに対するオーバーライトは、現在のセルの状態に関わらず、一意的に決定された所定の非晶質化電流パルスを通電してセルを非晶質化させ、一意的に決定された所定の結晶化電流パルスを通電してセルを結晶化せんとするものである。つまり、 V_a 、 V_c が各々一意的に決定される他、 V_a 、 V_c のパルス幅も一意的に決定される。

【0053】しかしながら、前述したように $R_a = 100 R_c$ とすると、同一の電圧を印加して通電した場合、結晶状態(c)の消費電力は、非晶質状態(a)の消費電力の100倍となる。従って、通電によるセル温度の時間に対する上昇率は、結晶状態(c)のほうが非晶質状態(a)よりも100倍大きい。セルの温度は、消費電力と時間との積、即ちセルへの投入エネルギーで決まるから、同一の電圧を印加した場合、結晶状態(c)のセルの温度は、非晶質状態(a)のセルの温度よりも100倍速く上昇することとなる。以下、図3及び図4を参照しつつこの点について詳しく説明する。

【0054】まず、結晶(a)→結晶(a)遷移について説明する。

【0055】図3(a)は、 $a \rightarrow a$ 遷移において、パルス幅が比較的長い場合のセルの温度変化を表す。

【0056】非晶質化電圧 V_a の印加によりセルに通電すると、セルがメモリの動作環境温度 T_a にあるO点から温度が上昇し、A点で結晶化温度 T_x に至る。 T_a から T_x の間は相変化が起こらないので、セルへ投入される電力は表1に示した値のままである。従ってOからAへの温度上昇は直線的であり、その傾斜は表1に表したように $P_c = V_a^2 / R_a$ で与えられる。

【0057】A点からさらに温度が上昇すると次第にセルが結晶化する。結晶化に要する時間は相変化記憶層の材料の選定にも依存するが一般的にはサブナノ秒から数10ナノ秒である。結晶化の途中の段階では、セルは非晶質状態と結晶状態との中間的な状態にある。この中間的な状態においては、従来のPRAMに関して開示されたように微細結晶粒を非晶質マトリクスが取り囲む状態

以外にも、本発明者が見出したところによれば、セルの上下を略連通する略柱状の結晶柱もしくは略円筒状の結晶円筒が形成され、これら結晶柱の周囲を非晶質円筒が取り囲んでいる状態や、結晶円筒中に非晶質柱が残留している状態なども有り得る。

【0058】いずれの場合も、結晶化に伴ってセルの抵抗は減少して電流が流れやすくなり、温度上昇の傾斜は図3(a)のA→Bに示すように増大し、B点においてセルはほぼ完全に結晶化する。A点とB点の途中で通電を中断すれば、中間的な状態(結晶と非晶質とが混在した状態)を形成できるので多値記録ができる。

【0059】B点を経過した後の融点 T_m 未満の温度帯における温度上昇率は $P_c = V_a^2 / R_c$ であり、この経路の傾斜角は経路OAの傾斜角の100倍である。C点に至ると、結晶化したセルは溶融する。溶融潜熱が必要なので極く短い時間ではあるがC点からD点まではセルの温度は融点に保持される。C点からD点に至る間においても、セルは結晶状態と溶融状態との中間的な状態に有るので、CD間でパルスオフすると、結晶状態と非晶質状態との中間的な状態(混在した状態)を形成でき、グレー記録即ち多値記録が可能である。

【0060】D点においてセルはほぼ完全に溶融し、経路OAと概ね同じ傾斜角で温度上昇しE点に至りパルスがオフされる。経路DEの傾斜角が経路OAと概ね一致するのは、溶融状態の比抵抗が非晶質状態の比抵抗にほぼ一致するためである。パルスオフのタイミングは、D点以降ならいつでも良くD点でパルスオフしても良い。

【0061】パルスオフ後、セルは急峻に冷却されてF点で保持温度 T_a に戻り、 $a \rightarrow a$ (非晶質→非晶質)の記録が完了する。

【0062】ここで、経路EFの冷却過程においても、セルは T_m から T_x の間の温度帯を通過するが、相変化記憶材料の結晶化時間に比べて T_m と T_x の間を通過する時間が十分に短い場合、保持温度に溶融したランダムな状態がクエンチされて非晶質状態の記録ができる。このことは、図3(a)において、AからBにいたる時間に比べEからFにいたる時間の中で T_m と T_x の間にセルが有る時間が十分に短いことを意味している。

【0063】次に、図3(b)を参照しつつ、定電圧モードにおける $c \rightarrow a$ (結晶→非晶質)遷移について説明する。

【0064】非晶質化の記録であるから、オーバーライトモードを採用する場合には、記録電圧、記録パルス幅共に上述した $a \rightarrow a$ 遷移と同一となる。

【0065】まず、同図においてO点の結晶状態のセルに V_a を印加すると、 $P_c = V_a^2 / R_c$ の傾斜角で急峻に温度が上昇する。セルが結晶状態に有るので、 T_x を過ぎても相変化は起こらず T_m まで直線的に温度上昇してG点に至る。そして、溶融潜熱領域に対応する経路GHを経て、H点以降は概ね $P_c = V_a^2 / R_a$ の緩い

傾斜角で温度上昇を続け、 $a \rightarrow a$ 遷移のパルスオフ時間に相当する I 点に至り、パルスオフ後急冷されて $c \rightarrow a$ の記録が完了する。

【0066】この場合は、H 点から I 点までの時間帯の加熱は不必要な加熱時間ということができるが、オーバーライト記録の場合は、 $a \rightarrow a$ 遷移とパルス幅が同じなので無駄が生じてしまう訳である。また、E 点に比較して I 点の温度は高いのでセルに不必要な温度上昇を与えることにもなり、繰返し記録の安定性を損ないやすいという問題も有する。

【0067】これらの点も、従来の PRAM の問題点であり、本発明はこれらの問題も解決するものである。但し、これらの問題は、前述した原理的問題とは異なる。本発明者が見出した原理的問題とは、後述する $a \rightarrow c$ 遷移と $c \rightarrow c$ 遷移の両立の困難性のことである。

【0068】 $a \rightarrow c$ 遷移と $c \rightarrow c$ 遷移の両立困難性を説明する前に、本発明における $a \rightarrow a$ 遷移、 $c \rightarrow a$ 遷移の例を説明する。 $a \rightarrow a$ 遷移、 $c \rightarrow a$ 遷移は図 3 に関して前述した以外にも、以下の過程でも実施可能である。

【0069】すなわち、図 3 (b) において、 $c \rightarrow a$ 遷移を H 点で終了させる。このように H 点から急冷した場合も、I 点から急冷した場合と同様に $c \rightarrow a$ 遷移を実現することができる。

【0070】また、前述したように経路 GH の途中でパルスオフすれば多値記録が可能である。これに対応する $a \rightarrow a$ 遷移は、図 3 (a) において、A 点に至る前にパルスがオフされることになるので、記録前の非晶質状態は記録過程で何ら相変化過程を通ることなく非晶質状態を保存し $a \rightarrow a$ の記録が完了する。この方法は、前記した方法即ち $a \rightarrow a$ 遷移において一旦セルを結晶化させる場合に比べて記録時間が短く消費電力が低いという利点がある。

【0071】次に、従来の PRAM の原理的問題として、本発明者が見出した $a \rightarrow c$ 遷移と $c \rightarrow c$ 遷移の両立困難性について説明する。

【0072】図 4 は、定電圧モードで $a \rightarrow c$ 遷移および $c \rightarrow c$ 遷移を起こさせる場合のセルの温度 T ($\propto Pc$) と通電時間 t との関係を模式的に表すグラフ図である。

【0073】まず、図 4 (a) に表した $a \rightarrow c$ 遷移から説明する。

【0074】この場合、動作環境温度 T_a にある O 点から J 点、及び J 点から K 点までの温度上昇の挙動は、図 3 (a) に表した $a \rightarrow a$ 遷移の場合の O 点から A 点及び A 点から B 点の場合と同様である。但し、OA の傾斜角は $Pc = Vc^2/Ra$ であり、 Va が Vc になっている点が異なる。 $a \rightarrow c$ 遷移を実現するためには、K 点までの加熱は必須である。K 点を含みセルが融点に至る前の点 L でパルスオフすることで $a \rightarrow c$ 遷移を実現することができる。

【0075】次に、図 4 (b) に表した $c \rightarrow c$ 遷移につ

いて説明する。

【0076】この場合、結晶状態の比抵抗が小さいために O 点から M 点まで温度上昇する時間は極めて短く、例えば図 4 (a) に表した非晶質状態の O 点から J 点に至る時間の数 10 分の 1 程度である。従って、 $a \rightarrow c$ 遷移 (図 4 (a)) を完了させるために必要とされる時間だけ電圧を印加して $c \rightarrow c$ 遷移 (図 4 (b)) を行おうとすると、セルは M 点に至り熔融を開始する。状態 O から状態 M に至る時間は極く短く、そのまま $a \rightarrow c$ 遷移を完了させる電圧印加時間と同じ時間だけ電圧を印加すると、セルは O \rightarrow M \rightarrow N \rightarrow P と温度上昇を続けパルスオフによって F 点で非晶質状態に遷移してしまう。つまり、 $c \rightarrow c$ 遷移の筈が、 $c \rightarrow a$ 遷移となってしまう。

【0077】一方、 $c \rightarrow c$ 遷移を実現するために、例えば Q 点でパルスオフすれば R 点に結晶状態が持ちきたされて $c \rightarrow c$ 遷移を実現できる。しかし、この様な短パルスを印加した場合、図 4 (a) に表した $a \rightarrow c$ 遷移において、J 点に至る前に電圧パルスがオフされることになり、 $a \rightarrow c$ 遷移を実現できない。

【0078】つまり、図 4 (a) 及び (b) に表したように、定電圧モードで $a \rightarrow c$ 遷移と $c \rightarrow c$ 遷移を実現させる場合、それぞれに必要とされる電圧パルスの印加時間は大きく異なり、同一の電圧パルスを用いて $a \rightarrow c$ 遷移と $c \rightarrow c$ 遷移とを実現することができない。

【0079】本発明は、このような従来の PRAM が有する原理的問題を解決するものである。

【0080】以下、本発明の PRAM におけるセルの消費電力と温度履歴について説明する。

【0081】図 5 は、図 2 に例示した本発明の PRAM の相変化記憶セル 1 の部分を抽出した模式図であり、同図 (a) は図 2 と同様の断面図、同図 (b) は平面図すなわち相変化記憶セルを上方または下方から見た図である。

【0082】図 5 においては、説明の簡単のために、相変化領域 161、永久結晶領域 162 の厚みは同一で、形状は正形状とし、電極 15、17 の形状は相変化領域の形状と同一とした。また、電極 15、17 と永久結晶領域 162 とは、電極の周縁部で線接触しているものとする。但し、前述したように、これらの条件は本発明の必須事項ではなく、相変化領域や永久結晶領域の厚みや形状、あるいは電極との配置関係などについては適宜変更してもよい。

【0083】ここで、相変化領域 161 の一辺の長さを M 、永久結晶領域 162 の外縁部の一辺の長さを L 、相変化記憶層の厚みを d 、相変化記憶層 16 が非晶質状態に有る時の比抵抗を ρ_a 、結晶状態に有る時の比抵抗を ρ_c 、電極と永久結晶領域の接触部の幅を Δx 、接触部の厚みを Δz とする。

【0084】すると、電極 15、17 と永久結晶領域 162 との接触抵抗 ($R_{cont.}$) は、次式により表すこと

ができる。

【0085】

$$R_{cont.} = \lim (\Delta x \rightarrow 0, \Delta z \rightarrow 0) [\rho_c \times [\Delta z / (4(M - \Delta x) \times \Delta x)]]$$

ここで、 Δx と Δz の収束次数は同じなので、上式は次式により表される。

【0086】 $R_{cont.} = \rho_c / (4M)$

また、電極15、17と永久結晶領域162との接触部を介して、電極から永久結晶領域に電流が通電した時、永久結晶領域162に均一に電流が流れると近似すると、永久結晶領域の抵抗($R_{perm.}$)は、次式により表すことができる。

【0087】 $R_{perm.} = \rho_c \times [d / (L^2 - M^2)]$

実際には、永久結晶領域162においては、電極15、17との接触部近傍に電流が集中するので、上式で与えられるよりも抵抗 $R_{perm.}$ は大きい、以下の説明においては、上式により近似する。

【0088】ただし、正確には上式に適当な係数 k ($k > 1$) を乗じて扱えば良く、本発明の効果は k が ρ_a / ρ_c の $1/2$ 以下程度で有れば得ることができ、 $1/10$ 以下程度で有れば十分な効果を得ることができる。ここで、 $k > 1$ とするのは、記録電流が永久結晶領域全域に亘って通電するのでは無いことを意味する。従って非晶質化レベルの記録電流を通電しても永久結晶領域が非晶質化することは無く保存される。また、電極15、17と永久結晶領域162とが直接電氣的に接触していない場合でも、電極と永久結晶領域との間の相変化領域を介して永久結晶領域に通電するので本発明の実施は可能であり、その場合は、上式において抵抗 $R_{perm.}$ に1未満の係数を適宜選択して乗じた値が実効的な抵抗となる。

【0089】さて、図5に例示した構造を参照しつつ説明を続けると、電極15、17から見た永久結晶領域162の実効抵抗(R_{peff})は、次式により表すことができる。

【0090】 $R_{peff} = R_{cont.} + R_{perm.}$

一方、相変化領域161の抵抗は、相変化領域161が非晶質状態に有る時には次式により表される。

【0091】 $R_a = \rho_a \times d / M^2$

また、相変化領域161の抵抗は、相変化領域161が結晶状態に有る時には次式により表される。

【0092】 $R_c = \rho_c \times d / M^2$

上記した R_a 、 R_c は、前述した従来のPRAMのそれらと一致する。ただし、本発明の相変化記憶セルにおいては、相変化領域161が非晶質状態に有る時の実効抵抗($R_{a'}$)は、次式により表される。

【0093】

$$R_{a'} = 1 / [(1/R_{peff}) + (1/R_a)]$$

また一方、本発明の相変化記憶セルにおいては、相変化領域161が結晶状態に有る時の実効抵抗($R_{c'}$)は、次式により表される。

【数1】

【0094】

$$R_{c'} = 1 / [(1/R_{peff}) + (1/R_c)]$$

つまり、単に R_a 、 R_c のみによって決定されるのではなく、 R_{peff} との並列抵抗で与えられる点に特徴を有する。このことは、図5に表した長さ L と長さ M との比率によって、 $R_{a'}$ と $R_{c'}$ の値を自由に制御できることを意味する。

【0095】図6は、長さ L および M とセルの抵抗との関係を例示するグラフ図である。すなわち、同図の縦軸はセルの抵抗 R_{cell} を表し、横軸はパラメータ $(L^2 - M^2) / M^2$ を表す。

【0096】図6に例示した曲線は、 $M = 0.2 \mu m$ 、 $d = 0.1 \mu m$ 、 $\rho_a = 100 \Omega \cdot cm$ 、 $\rho_c = 1 \Omega \cdot cm$ として、 $(L^2 - M^2) / M^2$ に対して $R_{a'}$ と $R_{c'}$ を表したものである。 $L = M$ の場合のプロット、すなわち永久結晶領域162を有さない従来のPRAMの $R_{a'}$ 、 $R_{c'}$ は各々 R_a 、 R_c と一致し、図6では黒丸と白丸で表した。

【0097】図6から明らかなように、本発明に従って相変化記憶セル中に永久結晶領域162を設けることで、 $R_{a'}$ 、 $R_{c'}$ を幅広く制御できる。その結果として、本発明によれば $R_{a'}$ と $R_{c'}$ との差を小さくできるので、従来のPRAMの原理的な問題、すなわち図4に関して前述したように R_a と R_c の差が大きい故にオーバーライト記録において記録前のセルの状態に応じてセルの温度上昇が大幅に異なり、例えば定電圧駆動では $c \rightarrow c$ 遷移の実現が困難だったという問題を解決できる。

【0098】次に、記憶装置の読み出し動作について説明する。

【0099】相変化記憶セル1の状態を読み出すためには、相変化領域161に相変化が発生しない程度の再生電圧パルス V_r をセル1に印加し、非晶質状態の信号電流 $V_r / R_{a'}$ と結晶状態の信号電流 $V_r / R_{c'}$ 及び $V_r / R_{a'}$ と $V_r / R_{c'}$ の間にある中間状態の信号電流を読み出す。従って、再生信号振幅を大きくするためには、また、中間状態をできるだけ多く設定するためには、 $R_{a'}$ と $R_{c'}$ との差は大きい方が好ましい。

【0100】つまり、本発明によれば、従来のPRAMが有していたオーバーライト記録が困難という原理的問題を解決することができるが、その一方で、再生信号振幅が低くなる。ただし、相変化型メモリにおいては、用いる材料の特性上、元々の R_a と R_c の差が十分過ぎる程度に大きいので、本発明を適用しても十分に大きな再生信号振幅が得られ、かつ多値記録が可能である。

【0101】図6には、再生信号振幅の目安となる抵抗変化率 $(R_{a'} - R_{c'}) / R_{c'}$ も併せて表し

た。図6は、 $M=0.2\mu\text{m}$ 、 $d=0.1\mu\text{m}$ 、 $\rho_a=100\Omega\cdot\text{cm}$ 、 $\rho_c=1\Omega\cdot\text{cm}$ とした場合の一例だが、他の実用的な条件範囲において、 $(L^2-M^2)/M^2$ と $R_{a'}$ 、 $R_{c'}$ 、 $(R_{a'}-R_{c'})/R_{c'}$ の関係は、概ね図6と一致した。

【0102】多値記録が可能な $(R_{a'}-R_{c'})/R_{c'}$ は概ね100%以上、オーバーライト記録において $a\rightarrow c$ 遷移と $c\rightarrow c$ 遷移が両立する $R_{a'}/R_{c'}$ 比は概ね10で有るから、永久結晶領域162の断面積 (L^2-M^2) と相変化領域161の断面積 (M^2) との比は0.1以上で、1.5以下であることが望ましいと言える。

【0103】以上、従来のPRAMが有する原理的な問題点と、これに対する本発明の解決手段とについて、相

変化セルを定電圧駆動させる場合を例に挙げて説明した。

【0104】しかし、本発明は、定電圧駆動には限定されず、相変化セルを定電流駆動する場合にも同様に有用である。

【0105】以下に相変化セルを定電流駆動する場合の、従来のPRAMの問題点とそれを解決する本発明の構成と手段について、上記した定電圧駆動の説明と重複しない部分について述べる。

【0106】定電流源を用いた場合、非晶質化電流を I_a 、結晶電流を I_c とくと、セルの遷移に対応するセル端電圧、セルの消費電力は表2ようになる。

【0107】

【表2】

遷移	V_{cell}	P_c
$a\rightarrow a$	$R_a I_a$	$R_a I_a^2$
$c\rightarrow a$	$R_c I_a$	$R_c I_a^2$
$a\rightarrow c$	$R_a I_c$	$R_a I_c^2$
$c\rightarrow c$	$R_c I_c$	$R_c I_c^2$

表2. セルの遷移とセル端電圧 V_{cell} 、消費電力 P_c の関係（定電流動作時）

表2から、定電流駆動の場合は、表1に表した定電圧駆動の場合とは逆に、セルが非晶質状態の時のセルの温度上昇がセルが結晶状態の時のセルの温度上昇の100倍程度大きいことが分かる。

【0108】図7及び図8は、定電流駆動時の各遷移におけるセルの温度履歴を示す図である。図8(a)および(b)に表したように、 $a\rightarrow c$ 遷移と $c\rightarrow c$ 遷移とは両立する。つまり、同一幅の電流パルスによって、これらの遷移を実行させることができる。

【0109】しかし、図7(a)及び(b)に表したように、 $a\rightarrow a$ 遷移と $c\rightarrow a$ 遷移とは両立しない。つまり、同一幅に電流パルスによっては、これらの遷移を両方とも実行することはできない。

【0110】すなわち、図7(a)に表したように、 $a\rightarrow a$ 遷移では、非晶質状態の抵抗が高いために、これに定電流を流すとセルの温度上昇が T_x までは極めて急峻で T_m に比較的速い時間内に到達し溶融後、メルトの抵抗も高いために再度極めて急峻に温度上昇してしまうので、セルの熱負荷が過大とならない程度の時間(E点)にパルスオフする必要がある。

【0111】これに対応したパルス幅の電流パルスを用いて $c\rightarrow a$ 遷移を起こさせようとした場合を例示したものが図7(b)である。結晶状態の抵抗が低いために定電流モードで加熱した場合には、セルの温度上昇が緩慢になり、同図に表したように、 T_m 未満の温度でパルスオフされることとなる。つまり、 $c\rightarrow a$ 遷移させようとしていたものが、 $c\rightarrow c$ 遷移になってしまうのである。

【0112】逆に、 $c\rightarrow a$ 遷移が起こる程度の長い時間幅の電流パルスもしくは高い電流を通電してしまうと、 $a\rightarrow a$ 遷移(図7(a))の温度上昇が過大となってセルに熱損傷を与えてしまう。

【0113】このような問題に対しても、定電圧駆動で説明した場合と同様に図5の構成を用い、セル抵抗を R_a 、 R_c の代わりに $R_{a'}$ 、 $R_{c'}$ に調整すればオーバーライトモードでも容易に $a\rightarrow a$ 遷移と $c\rightarrow a$ 遷移とを両立することができることが判る。定電流モードにおいても、永久結晶領域162の断面積 (L^2-M^2) と相変化領域161の断面積 (M^2) の比の望ましい範囲は、定電圧駆動の場合と同様である。

【0114】以下、本発明の相変化型不揮発性記憶装置の具体例を参照しつつ本発明の実施の形態についてさらに詳細に説明する。

【0115】(第1の実施例) まず、本発明の第1の実施例として、図1及び図2に例示したものと同様の相変化型不揮発性記憶装置を試作・評価した。その構造と材料については概ね前述した通りであるが、相変化記憶層16の膜厚とセルサイズについて補足説明をしておく。

【0116】例えば相変化記憶セルの正方形の相変化領域161の一辺の長さ M が $0.2\mu\text{m}$ 、永久結晶領域162の外縁部の一辺の長さ L が $0.224\mu\text{m}$ ($(L^2-M^2)/M^2=0.25$)の場合、相変化記憶層16の膜厚を 100nm とすると、駆動電圧 2.5V とした定電圧駆動モードにおいて、非晶質状態のセルには $22.7\mu\text{A}$ の電流、結晶状態のセルには $125\mu\text{A}$ の

電流を通电することができる。これはほんの一例であるが、L、M及び相変化記憶層の膜厚dはドライバ回路の電圧と電流の要求値に応じて適宜最適化することができる。

【0117】定電圧駆動の場合の非晶質化電圧を V_a 、結晶化電圧を V_c 、再生電圧を V_r とした時、 R_a' 、 R_c' と V_a 、 V_c 、 V_r の関係から適度な非晶質化電力、結晶化電力及び適度な非晶質再生電流、結晶再生電流が得られるように、 d 、 V_a 、 V_c 、 V_r を調整すれば良い。また、定電流駆動の場合には、 V_a 、 V_c 、 V_r の代わりに非晶質化電流 I_a 、結晶化電流 I_c 、再生電流 I_r を調整すれば良い。

【0118】以下、図1及び図2に表したの素子の形成方法と本発明に従った動作結果について説明する。

【0119】図1及び図2に表した本発明のPRAMは、通常の半導体製造プロセスに相変化材料の成膜と加工の工程を加えることで作成することが可能で、例えば以下の手順で形成することができる。

【0120】例えば、p型の単結晶シリコン(Si)基板11上にイオンインプランテーション法、拡散法などの通常の半導体プロセスに用いられるのと同様の手法でn+型導電領域を形成しこれをYアドレス線12とする。Yアドレス線12は、図2において紙面に垂直な方向に形成され、ラインアンドスペース状に配置される。

【0121】このn+型導電領域の上にn型ドープ層をエピタキシャル成長させてn型半導体層13を得る。n型半導体層13の形成時は、第1の絶縁チャネル20の部分はマスキングしておく。このn型半導体層13の厚みは、例えば500nmである。

【0122】次に、p型にドープした半導体からなる第1の絶縁チャネル20をn型半導体層13を取り囲むように形成する。第1の絶縁チャネル20は、ウェーハ基板11上にグリッド状に形成され、グリッドの空孔内にn型半導体が埋め込まれた構造となる。第1の絶縁チャネル20は、p型ドープ層により形成しても良いし、 SiO_2 などの絶縁膜をCVD (Chemical Vapor Deposition) 法などにより形成してもよい。

【0123】次に、第2の絶縁チャネル21の少なくとも一部として例えば SiO_2 を例えば熱酸化法やCVD法などで、第1の絶縁チャネル20とn型半導体層13の上に形成し、さらにエッチング法によりn型半導体層13の上の第2の絶縁チャネル20を除去する。このようにして露出させたn型半導体層上にp型材料を拡散させてp型半導体層14を形成し、n型半導体層13とp型半導体層14からなるダイオード2を形成する。

【0124】次にp型半導体層上に第1電極15、相変化記憶層16、第2電極17からなる相変化記憶セル1を例えばスパッタ法、蒸着法などの方法によって形成する。この部分の具体的な形成プロセスとしては、幾つかの方法を例示できる。

【0125】その一つは、予め第2の絶縁チャネル21の第1電極15の高さまでの部分を形成してから第1電極部をエッチング加工して除き、第1電極を例えば異方性スパッタもしくはCVD埋め込みし、第2の絶縁チャネル上へ成膜された部分はCMP (Chemical Mechanical Polishing) もしくはリフトオフ法で除去する。次に、第2の絶縁チャネル21の残りの厚み部分のうちで、相変化記憶層16の高さまでの部分を形成してから相変化記憶層部をエッチング加工して除去し、相変化記憶層を例えば異方性スパッタもしくは蒸着で埋め込み、第2の絶縁チャネル上の相変化記憶層材料は、CMPもしくはリフトオフ法で除去する。

【0126】続いて、第2の絶縁チャネル21のさらに残りの厚み部分を形成し第2電極部をエッチング除去した後、第2電極17を埋め込む。このようにして相変化記憶層16の断面積と第1及び第2電極15、17の断面積とを異ならせることができ、相変化記憶層中に電極15、17と面接触する相変化領域161、及び電極と線接触するか接触しない永久結晶領域162の両方を形成することができる。

【0127】もう一つの方法は、以下の通りである。すなわち、上記したのとは逆に第1電極15を形成後、第2の絶縁チャネル部を形成し、第1電極上の第2の絶縁チャネル材料を除去して第2の絶縁チャネル部の高さを第1電極の高さと一致させる。次に、相変化記憶層16を連続膜状に形成しRIE法等で記憶層を島取りした後、CVD法もしくは異方性スパッタ法等で第2の絶縁チャネルをグリッド状に相変化記憶層の高さまで埋め込み、相変化記憶層上の第2の絶縁チャネル材料をCMP法等で除去する。続いて第1電極の形成と同様に第2電極と残りの厚みの第2の絶縁チャネル部を形成する。

【0128】その他にも各種のプロセスを用いることができる。

【0129】第1電極15、第2電極17は、各々単層の構成でも良いが、相変化記憶層16の上下には拡散バリアとして例えば炭素(C)膜を配し、その上下に主電極としてタンタル(Ta)、モリブデン(Mo)、タングステン(W)などの高融点金属を配するのが良い。炭素(C)バリア層の厚みは、例えば10nm以上50nm以下、主電極15、17の厚さは例えば100以上200nm以下、相変化記憶層16の厚さはドライバ回路の電圧、電流の要求値に整合するように、セルサイズ毎に設定することができる。

【0130】次に、Xアドレス線18を相変化記憶セル1の第2電極17と第2の絶縁チャネル21の上に形成する。例えば、アルミニウム(Al)、銅(Cu)などの高伝導率の薄膜をスパッタ法、蒸着法等で連続膜状に形成した後、第2電極を連結する線状にラインアンドスペース状にエッチングしてXアドレス18を得る。

【0131】最後に、素子を湿度等から保護するための

保護層19を形成する。保護層19は、CVD法もしくはスパッタ法で形成された Si_3N_4 、スピンコート後ベーキングキュアされたポリイミド等を用いるのが好適である。

【0132】以上に説明した以外に、本発明のPRAMの形成には様々な変形例を挙げることが可能であり、PEP (Photo-Engraving Process) と、熱CVD、プラズマCVD、MOCVD (Metal-Organic CVD)、エピタキシャル成長、スパッタ、蒸着、プラズマ重合、スピンコートなどの成膜プロセスと、インプラネーション、熱拡散等のドーピングプロセスと、RIE (Reactive Ion Etching)、CDE (Chemical Dry Etching)、イオンミリング、ウェットエッチング等のエッチングプロセスと、CMP、イオンポリッシング等の表面平坦化プロセスとを適宜組み合わせることで実施することができる。

【0133】次に、図1に表したように、ドライバ回路によりPRAMを動作させた結果について説明する。

【0134】図9は、PRAMのメモリセル部22とドライバ23の接続例を表す模式図である。ドライバ回路23は、基本的には電源とスイッチング素子と信号検出回路からなる。メモリセル部22とドライバ回路23とは、同一基板上にハイブリッド形成しても良いし、別の基板上に形成してチップング後に接続しても良い。

【0135】メモリセル部22とドライバ回路23との配線は、セル選択にダイオードを用いる場合は基本的にXアドレス線18とYアドレス線12である。Xアドレス線とYアドレス線との間に所定の電圧を印加するか所定の電流を通電して記録再生動作を行う。ドライバ回路23のスイッチング素子を用いて、例えば選択したいセルの両端に順方向バイアスを印加し、他のセルは全て逆方向バイアスするとセル選択ができる。

【0136】また、セル選択にMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) を用いる場合は、ソースとYアドレス線、ドレインに相変化記憶セルを直列接続してXアドレス線とを各々接続し、ゲートにワード線を接続し、ワード線を介してゲート電圧を印加することによって所定のセルを選択可能とする。セル選択にダイオードを用いる場合もトランジスタを用いる場合も、選択動作に関しては、DRAM、FeRAM、MRAMなどと同様の方法を用いることができる。

【0137】本発明によれば、選択したセルへの記録は、全てオーバーライト動作により実現可能である。

【0138】図10は、定電圧駆動における本発明のPRAMの各遷移のセルの温度履歴を例示するグラフ図である。すなわち、同図(a)は $a \rightarrow a$ 遷移(太線)と $c \rightarrow a$ 遷移(細線)を表し、同図(b)は $a \rightarrow c$ 遷移(太線)と $c \rightarrow c$ 遷移(細線)をそれぞれ表す。

【0139】本発明によれば、結晶状態と非晶質状態の抵抗の差を適度に調節できるために、記録前のセルの状態に依存する温度上昇率の差異を少なくすることができ

る。その結果として、図10(a)に表したように、同一の書き込み電圧パルスを用いて $a \rightarrow a$ 遷移と $c \rightarrow a$ 遷移のいずれも実現することができ、図10(b)に表したように、同一の消去電圧パルスを用いて $a \rightarrow c$ 遷移と $c \rightarrow c$ 遷移のいずれも実現することができる。

【0140】図4に関して前述したように、従来のPRAMは、定電圧駆動の場合に $a \rightarrow c$ 遷移と $c \rightarrow c$ 遷移とを同一の電圧パルスにより実行することが困難であったが、本発明によれば、記録前のセルの状態に依存せず、同一の電圧パルスを用いてオーバーライトモードで書き込み、あるいは消去を行うことができる。

【0141】また、図10の時間軸(横軸)は、図3及び図4よりも拡大して表したが、両者を比較して分かるように、本発明のPRAMの記録パルスは、従来のPRAMの記録パルスよりも短いので、高速動作が可能となる。特に、定電圧駆動の場合には、 $a \rightarrow a$ 遷移と $c \rightarrow a$ 遷移において従来よりも高速に書き込みを行うことができる。

【0142】図11は、定電流駆動における本発明のPRAMの各遷移のセルの温度履歴を例示するグラフ図である。すなわち、同図(a)は $a \rightarrow a$ 遷移(太線)と $c \rightarrow a$ 遷移(細線)を表し、同図(b)は $a \rightarrow c$ 遷移(太線)と $c \rightarrow c$ 遷移(細線)をそれぞれ表す。

【0143】本発明によれば、定電流駆動の場合にも、図11(a)に表したように、同一の書き込み電流パルスを用いて $a \rightarrow a$ 遷移と $c \rightarrow a$ 遷移のいずれも実現することができ、図11(b)に表したように、同一の消去電流パルスを用いて $a \rightarrow c$ 遷移と $c \rightarrow c$ 遷移のいずれも実現することができる。

【0144】図8に関して前述したように、従来のPRAMは、定電流駆動の場合に $a \rightarrow a$ 遷移と $c \rightarrow a$ 遷移とを同一の電流パルスにより実行することが困難であったが、本発明によれば、記録前のセルの状態に依存せず、同一の電流パルスを用いてオーバーライトモードで書き込み、あるいは消去を行うことができる。

【0145】ここで、定電圧駆動における $a \rightarrow a$ 遷移を、「 $a \rightarrow c \rightarrow$ 溶融・急冷 $\rightarrow a$ 」というプロセスで行うべきか、あるいは単純に「 $a \rightarrow a$ 」(すなわち、 T_x 未満でパルスオフする)というプロセスで行うべきかについて、簡単に説明する。

【0146】高速記録という観点からは、後者が良いと考えられる。しかし、動作温度マージンの点からはむしろ前者が良い場合がある。

【0147】例えば、半導体を用いたDRAMの場合、デバイスに要求される動作環境温度(T_a)の最大値は、 150°C とかなり高い場合が多い。これは、実際の相変化材料の T_x にかなり近い。従って、定電圧動作で非晶質化遷移させようとする場合、 T_a と T_x に殆ど差がないと、 $c \rightarrow a$ 遷移に必要な時間のほうが非晶質状態のセルが T_a から T_x に至る時間より長くなって、 a

→a 遷移が成立しなくなる。つまり、セルの一部が結晶化してしまう。

【0148】従って、動作環境温度が T_x に近いことを考慮すると、 $a \rightarrow a$ 遷移は「 $a \rightarrow c \rightarrow$ 溶融・急冷 $\rightarrow a$ 」というプロセスにより実行するほうが良いと言える。

「 $a \rightarrow c \rightarrow$ 溶融・急冷 $\rightarrow a$ 」というプロセスを用いると定電圧駆動における非晶質化遷移は本発明のほうが従来よりも速いということは、例えば、図10と図3とを比較すれば容易に理解できる。

【0149】また、本具体例においては、非晶質状態と結晶状態の二値の状態を用いる記録方法を例示したが、本発明はこれには限定されず、例えば、抵抗が高い非晶質状態を主な構成成分とする状態と、結晶状態を主な成分とする状態とを用いて記録を行ってもよい。

【0150】(第2の実施例) 第1実施例においては、主に非晶質状態と結晶状態の二値記録モードに本発明を適用した場合を説明したが、本発明は多値記録する場合においても有用である。以下、本発明の第2の実施例として、多値記録の例について説明する。

【0151】図12(a)は、図10のAB部またはHI部を拡大したグラフ図であり、図12(b)は、図10のCD部またはEF部を拡大したグラフ図である。

【0152】図12(a)のA点においては相変化領域161は非晶質状態にあり、B点においては相変化領域161は結晶状態にある。そして、A点とB点の間は、非晶質と結晶とが混在した中間状態 X_1, X_2, \dots, X_n である。B点に近づくにつれて結晶の比率が大きくなる。そして、この比率に応じて、セルの抵抗値が変化する。このような中間状態 $X_1 \sim X_n$ は、印加電圧と通電時間によって制御可能である。従って、これらの中間状態を適宜、形成、判別すれば、多値記録が可能となる。

【0153】一方、図12(b)のC点においては相変化領域161は結晶状態にあり、D点においては相変化領域161は非晶質(溶融)状態にある。そして、C点とD点との間が、結晶と非晶質(溶融)とが混在した中間状態 X_n, \dots, X_2, X_1 である。この場合も、 X_n から X_1 の状態は印加電圧と通電時間によって制御可能である。従って、この場合も、これらの中間状態を適宜、形成、判別すれば、多値記録が可能となる。

【0154】中間状態の記録は、図12(a)のA点とB点との間で実施することもできるし、図12(b)のC点とD点との間でも実施してもよく、または、両方を併用しても良い。

【0155】 X_1 から X_n の中間状態において、セルの相変化領域161は、非晶質状態と結晶状態の中間にあり、その具体的な構造のひとつは、微細結晶粒を非晶質マトリクスが取り囲む状態であって、結晶粒のサイズもしくは密度が X_1 から X_n に向けて増加している状態である。

【0156】また、具体的な構造の他の例は、セルの上下を略連通する非晶質柱が形成され、その周囲を結晶角筒が取り囲む状態であり、結晶角筒のXY面内の断面積が X_1 から X_n に向けて増加している状態である。

【0157】本発明は、微細結晶粒を非晶質マトリクスが取り囲む形態の中間状態でも、非晶質柱を結晶角筒が取り囲む形態の中間状態でも適用できるが、望ましくは非晶質柱を結晶角筒が取り囲む形態を用いるのがよい。何故ならば、本発明においては、相変化領域161が非晶質状態にある時、電流は相変化領域161と永久結晶領域162との界面を優先的に流れ、このように電流が優先的に流れた部分が優先的に温度上昇するからである。この優先的に温度上昇した部分が結晶化することになり、中間状態の構造としては、非晶質柱を結晶角筒が取り囲む形態となる場合が多いからである。

【0158】また一方、そのような中間状態の記録に適した相変化材料としては、核生成型よりも結晶成長型のものが好ましい。具体的には、アンチモン(Sb)とテルル(Te)の組成比 Sb/Te が1.5~4.0の範囲にあり、ゲルマニウム(Ge)の含有量が3~25原子%の範囲にあるGe-Sb-Teを挙げることができる。

【0159】図13は、 $Ge_5(Sb_7Te_3)_{95}$ を相変化記憶層に用いた場合の中間状態における記憶セルの断面状態を例示する模式図である。すなわち、同図において、161は相変化領域、162は永久結晶領域、1611は相変化領域中の結晶部、1612は相変化領域中の非晶質部である。相変化領域161の全域が非晶質状態に有る場合も含めて、記録電流は永久結晶領域162もしくは結晶部1611を優先的に流れし、その部分の温度が優先的に上昇する。結晶化の記録を行う場合、相変化材料が結晶成長型であると優先的に通電加熱された結晶部1611から非晶質部1612へ向けて結晶成長が起こり、非晶質部1612の柱が細くなりながら結晶化パルスオフのタイミングにより中間状態の記録が実施できる。

【0160】非晶質化の記録を行った場合、相変化材料が結晶成長型であると非晶質部1612の界面から結晶部1611に向けて非晶質領域の拡大が起こり、非晶質化パルスオフのタイミングに応じた中間状態の記録ができる。

【0161】以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、記憶装置のメモリアレイの接続関係やドライバ回路の具体的な構成、あるいは、記憶セルを構成する各要素の具体的な形状なサイズあるいは材料などについては、当業者が適宜選択したものをを用いた場合でも本発明と同様の作用効果が得られる限り本発明の範囲に包含される。

【0162】また、相変化材料についても、前述した具

体例には限定されず、抵抗値が異なる複数の相を有する材料であれば、同様に用いて同様の作用効果が得られ、この限りにおいて本発明の範囲に包含される。

【0163】

【発明の効果】以上詳述したように、本発明によれば、従来の相変化記憶セルを用いた不揮発性固体メモリではオーバーライト記録が困難だった、という課題を解決できるので、相変化型不揮発性記憶装置を、DRAMやSRAM、HDDなどの各種の記憶装置に置換え、ユニバーサルメモリとして実用化する上で格段の技術的進展に寄与する所極めて大である。

【図面の簡単な説明】

【図1】本発明の相変化型不揮発性記憶装置（PRAM）の要部構成を例示する模式図である。

【図2】本発明のPRAMのメモリセルCの断面構造を例示する模式図である。

【図3】定電圧モードすなわち印加電圧を一定とした場合のセルの温度 T （ $\propto Pc$ ）と通電時間 t との関係を模式的に表すグラフ図である。

【図4】定電圧モードすなわち印加電圧を一定とした場合のセルの温度 T （ $\propto Pc$ ）と通電時間 t との関係を模式的に表すグラフ図である。

【図5】図2に例示した本発明のPRAMの相変化記憶セル1の部分抽出した模式図であり、同図（a）は図2と同様の断面図、同図（b）は平面図すなわち相変化記憶セルを上方または下方から見た図である。

【図6】長さ L および M とセルの抵抗との関係を例示するグラフ図である。すなわち、同図の縦軸はセルの抵抗 R_{cell} を表し、横軸はパラメータ $(L^2 - M^2)/M^2$ を表す。

【図7】定電流駆動時の各遷移におけるセルの温度履歴を示す図である。

【図8】定電流駆動時の各遷移におけるセルの温度履歴

を示す図である。

【図9】PRAMのメモリセル部22とドライバ23の接続例を表す模式図である。

【図10】定電圧駆動における本発明のPRAMの各遷移のセルの温度履歴を例示するグラフ図である。

【図11】定電流駆動における本発明のPRAMの各遷移のセルの温度履歴を例示するグラフ図である。

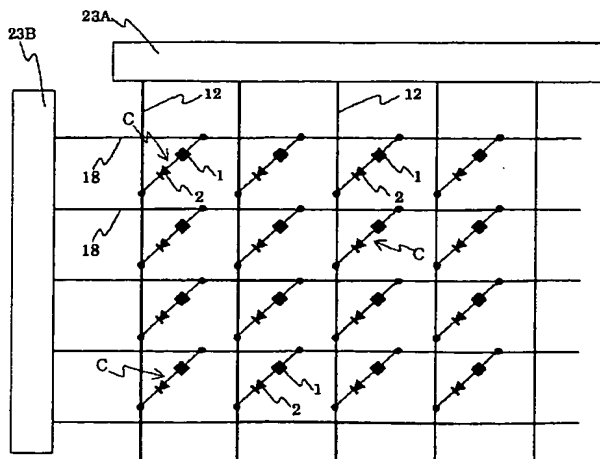
【図12】同図（a）は、図10のAB部またはHI部を拡大したグラフ図であり、図12（b）は、図10のCD部またはEF部を拡大したグラフ図である。

【図13】 $Ge_5(Sb_7Te_3)_{95}$ を相変化記憶層に用いた場合の中間状態における記憶セルの断面状態を例示する模式図である。

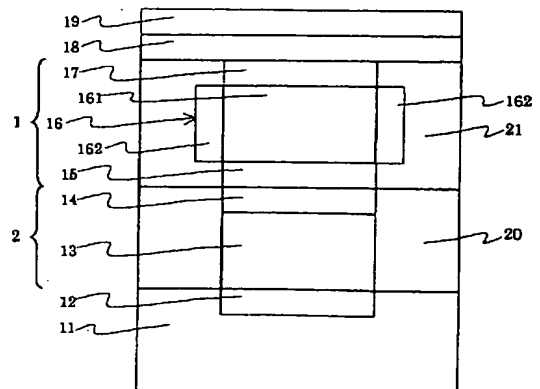
【符号の説明】

- 1 相変化記憶セル
- 2 選択用ダイオード
- 11 基板
- 12 Yアドレス線
- 13 n型半導体層
- 14 p型半導体層
- 15 第1電極
- 16 相変化記憶層
- 161 相変化領域
- 162 永久結晶領域
- 1611 結晶部
- 1612 非晶質部
- 17 第2電極
- 18 Xアドレス線
- 19 保護層
- 20 第1の絶縁チャネル
- 21 第2の絶縁チャネル
- 22 相変化記憶アレイ（メモリセル）
- 23 ドライバ

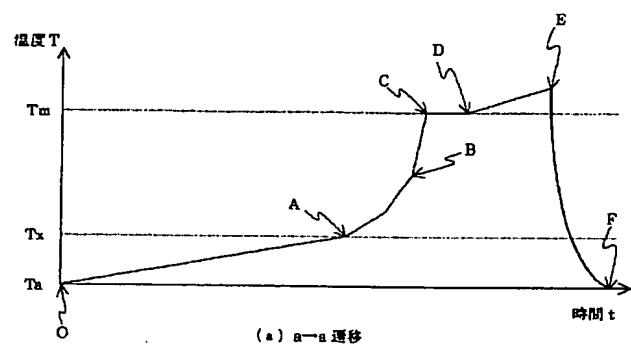
【図1】



【図2】

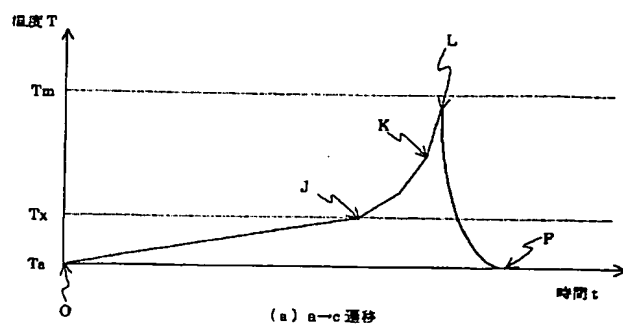


【図3】

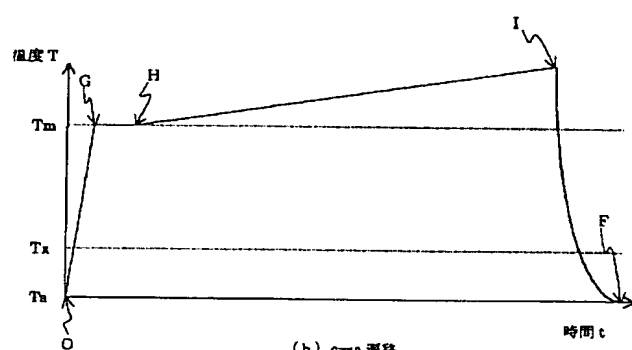


(a) a-a 遷移

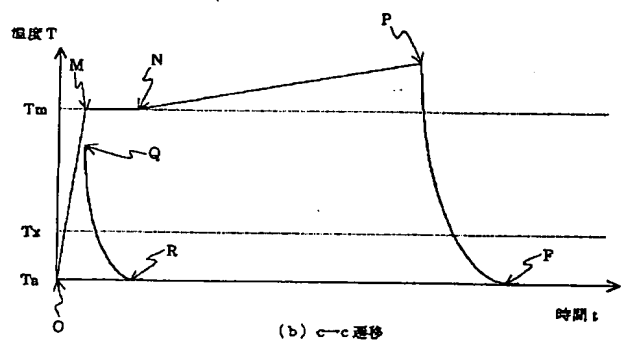
【図4】



(a) a-c 遷移

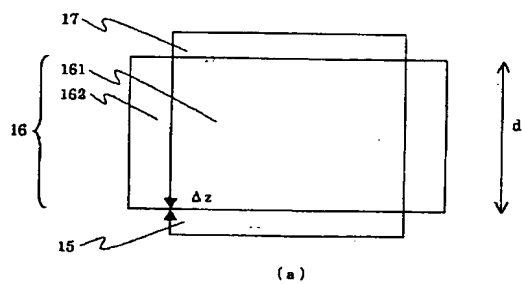


(b) c-a 遷移

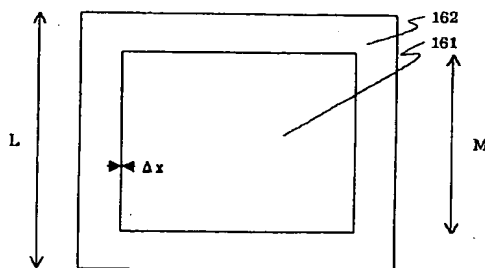


(b) c-c 遷移

【図5】

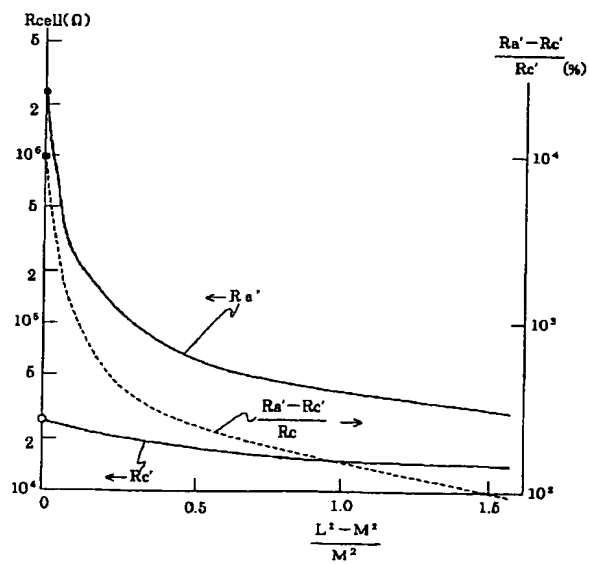


(a)

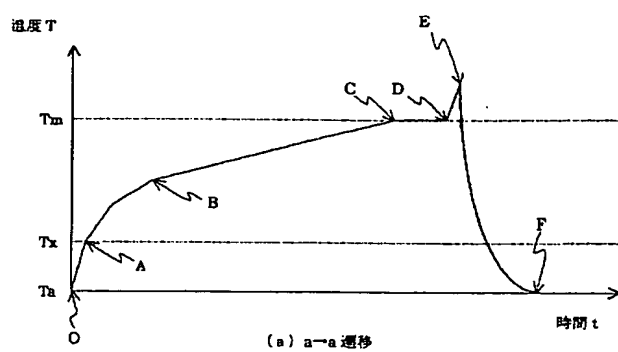


(b)

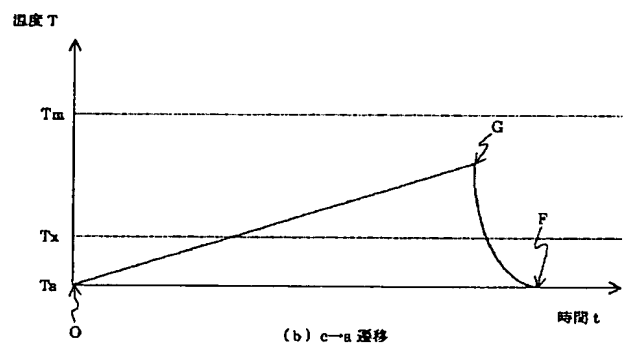
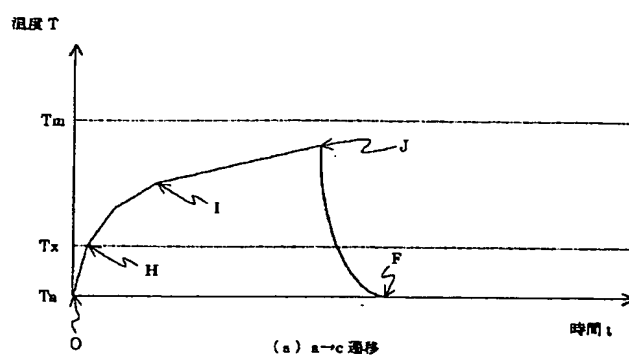
【図6】



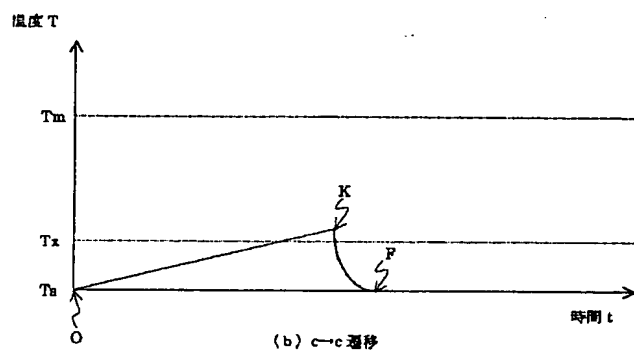
【図7】



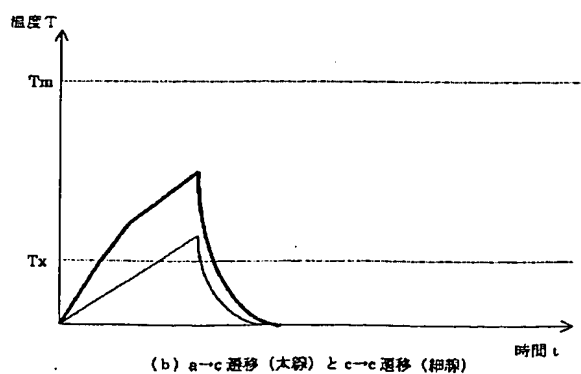
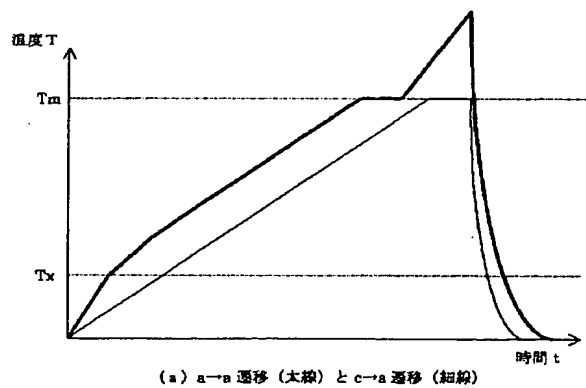
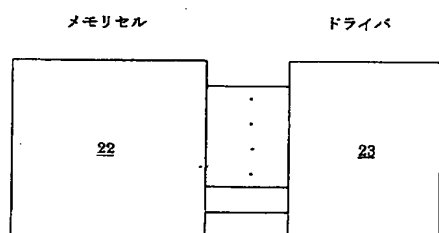
【図8】



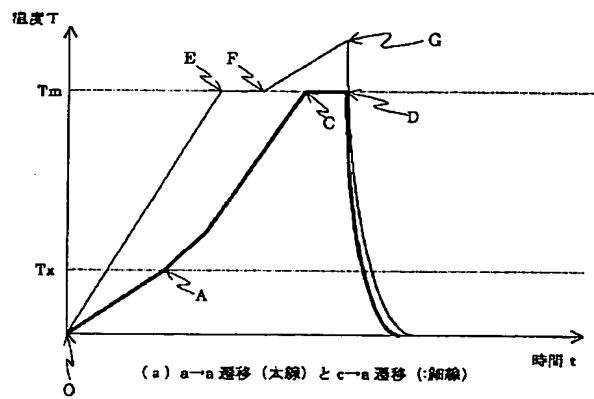
【図9】



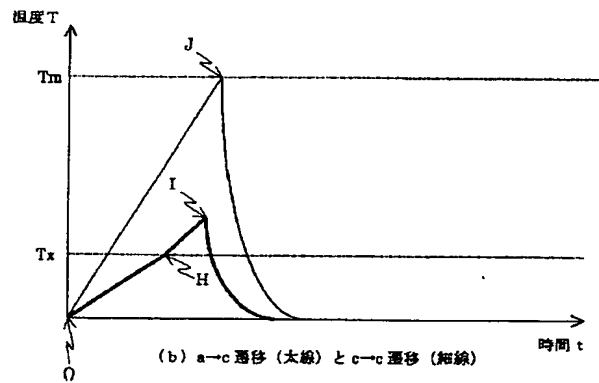
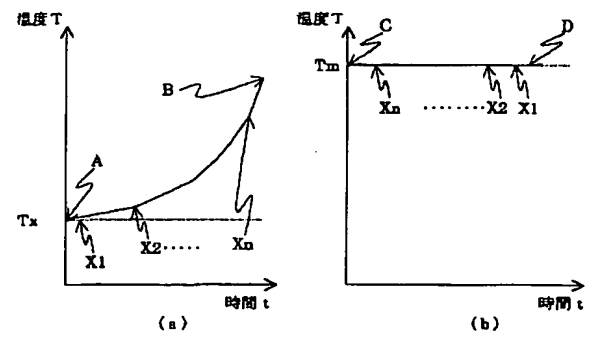
【図11】



【図10】



【図12】



【図13】

